

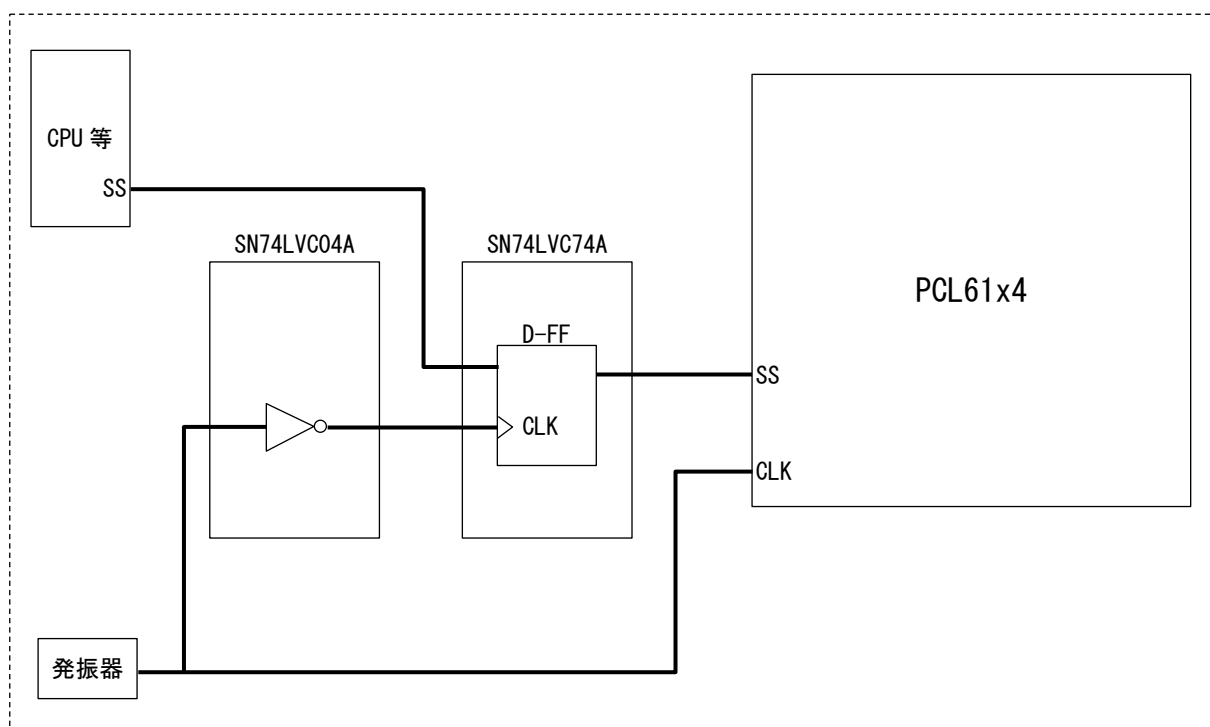
ハードウェアによるPCL61x4不具合回避対策

日本パルスモーター株式会社

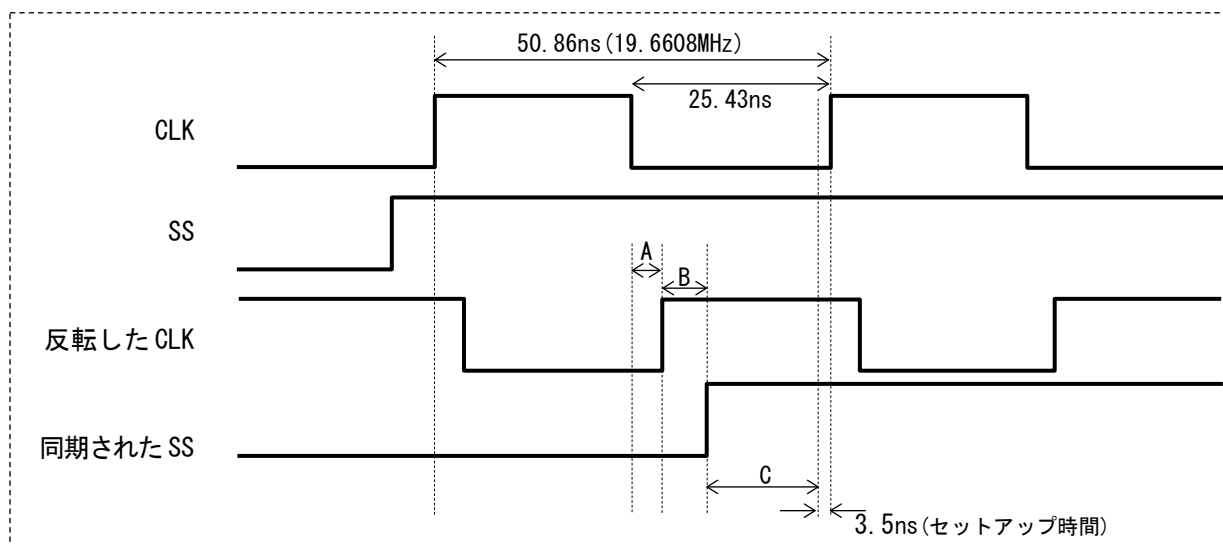
PCL61x4の4線式シリアルインターフェースで発生する不具合におきましては、お客様には多大なご迷惑をおかけいたします事をお詫び申し上げます。

本資料では、ハードウェアによる不具合回避に関してご説明申し上げます。

対策としましては、次のように二つの汎用ロジックICを使用し、SS信号をシステムクロックの立下りで同期させます。



この処置により、システムクロック（CLK）の立上りとSS信号の立上りを異なるタイミングとなるようにしなければならないため、大変恐縮ながら以下の点にご注意いただきたくお願いいたします。



インバータによりシステムクロックを反転する際の信号遅延を“A”とします。

D-FFにより SS 信号を同期する際の信号遅延を“B”とします。

PCL61x4 内で SS 信号を取込む際のセットアップ時間は最大で約 3.5ns です。

このとき“A”、“B”、3.5ns の総和が、19.6608MHz の半クロック時間より小さくなるような汎用ロジック IC を選定してください。

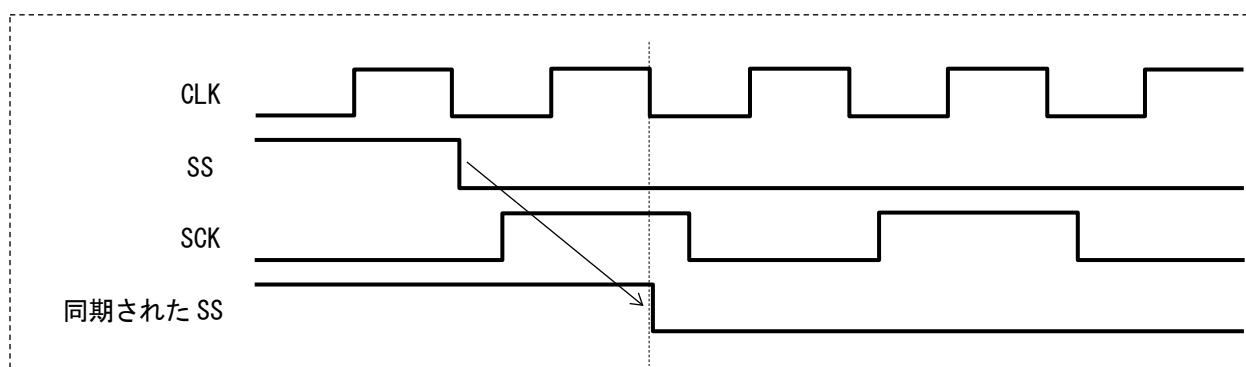
$$25.43\text{ns} > A + B + 3.5 = C$$

本資料の例では以下の汎用ロジック IC を使用した図を掲載していますが、これ以外でも上式を満足する性能のものであれば問題ありません。

インバータ	SN74LVC04A (Texas Instruments 社製)
D-FF	SN74LVC74A (Texas Instruments 社製)

また SS 信号をシステムクロックで同期するため、SS 信号の変化タイミングが実際より遅れます。最大で 19.6608MHz の一周期の遅れが発生する可能性があるため、以下のように他の信号との前後関係が崩れてしまうことで誤動作の原因となる場合が考えられます。

このため SS 信号の立下りから最初の SCK 変化までは十分な余裕を持たせてください。



以上